

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-188700

(43)Date of publication of application : 08.07.1994

(51)Int.Cl.

H03K 5/135

(21)Application number : 04-338312

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.12.1992

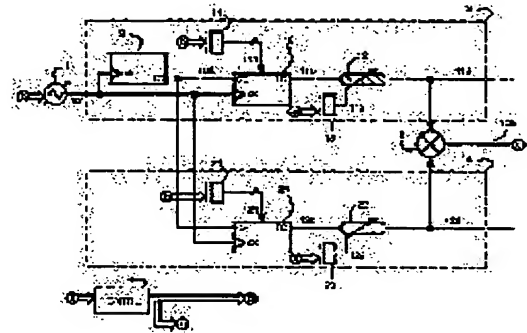
(72)Inventor : SUGA TAKU  
HAYASHI YOSHIHIKO

## (54) CALIBRATION SYSTEM FOR VARIABLE DELAY CIRCUIT

## (57)Abstract:

**PURPOSE:** To realize a highly accurate semiconductor test equipment or the like by calibrating a delay time width of a variable delay circuit mounted on a timing generator and varying the delay time at a high resolution based on an oscillated period of a highly accurate frequency synthesizer.

**CONSTITUTION:** A period counter 2 counts clocks 101 generated from a reference clock generator 1, a period signal 102 passes through rough delay counters 10, 20 and variable delay circuits 12, 22 being calibration objects, and timing signals 112, 113 are obtained and the phases are compared by a phase comparator 5. Each delay circuit is controlled by data from the rough delay registers 11, 21 and accurate delay registers 13, 23. A controller controls the timing generator to obtain a prescribed delay resolution subject to calibration.



## LEGAL STATUS

[Date of request for examination] 15.12.1999

[Date of sending the examiner's decision of rejection] 11.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-188700

(43) 公開日 平成6年(1994)7月8日

(51) Int.Cl.<sup>5</sup>

H 0 3 K 5/135

識別記号

庁内整理番号

4239-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 6 (全 12 頁)

(21) 出願番号 特願平4-338312

(22) 出願日 平成4年(1992)12月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 須賀 卓

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 林 良彦

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 弁理士 小川 勝男

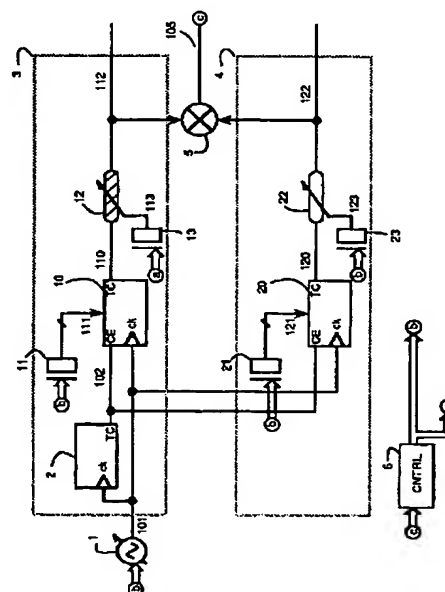
(54) 【発明の名称】 可変遅延回路の校正方式

(57) 【要約】

【目的】 タイミング発生器に搭載し遅延時間を高分解能で可変する可変遅延回路の遅延時間幅を高精度な周波数シンセサイザの発振周期を基準として校正することにより半導体試験装置などの高精度化を実現すること。

【構成】 周期カウンタ2は基準クロック発生器1の発生するクロック101を計数し、周期信号102は、粗遅延カウンタ10、20、および校正対象の可変遅延回路12、22、を通過し、それぞれタイミング信号112、113となり位相比較器5で位相比較される。各遅延回路は、粗遅延レジスタ11、21、精遅延レジスタ13、23のデータで制御される。コントローラ6は、タイミング発生器の制御を行ない、校正された所定の遅延分解能を得る。

図 1



## 【特許請求の範囲】

【請求項1】 入力する基準クロックより所定のタイミング信号を生成するタイミング信号発生器において、基準クロック周期を変化したことによるタイミング信号の位相変化量を基準として可変遅延回路の正確に遅延時間を設定することを特徴とした可変遅延回路の校正方式。

【請求項2】 請求項1記載の可変遅延回路の校正方式であって、校正の対象となる可変遅延回路を搭載する半導体試験装置において、ドライバ、アナログコンパレータを用いて位相変化をとらえ、校正を行なうことを特徴とした可変遅延回路の校正方式。

【請求項3】 請求項1または2記載の可変遅延回路の校正方式であって、可変遅延回路の制御データを位相比較結果に従って自動的に制御する機能を備え、校正を自動的に行なうことを特徴とした可変遅延回路の校正方式。

【請求項4】 請求項1、2または3記載の可変遅延回路の校正方式を適用したことを特徴としたタイミング発生器。

【請求項5】 1チップの半導体集積回路素子に半導体回路として構成され請求項1、2または3記載の可変遅延回路の校正方式を適用したことを特徴としたタイミング発生器。

【請求項6】 請求項5のタイミング発生器に基づいて試験データを被試験素子に出力する試験データ出力手段と、前記タイミング信号に基づいて被試験素子からの前記試験データに対する応答データを検証する応答データ検証手段を有することを特徴とした半導体試験装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体試験装置等の電子計測装置に好適なタイミング発生器に関するものである。

## 【0002】

【従来の技術】 半導体試験装置においては、近年の半導体集積回路の高速化にともない、時間精度の向上が要求されている。

【0003】 そして、半導体試験装置の時間精度向上には、搭載する可変遅延回路の校正が必須となる。

【0004】 このような可変遅延回路の校正法としては「プロシーディングオブアイ・イー・イー・イー・インターナショナルテストコンファレンス（1988年9月）第108頁から第113頁（Proc. IEEE Int'l., p108-113, Sep. 1988）」に記載されている技術が知られている。

【0005】 以下、この技術を説明する。

【0006】 図11に、この従来技術に係る半導体試験装置の構成を示す。

【0007】 図示するように、従来の半導体試験装置は、試験周期発生回路50、校正の対象となる可変遅延回路を搭載したタイミング発生器51、波形生成回路

8、ドライバ30、アナログコンパレータ31、コントローラ52、基準タイミング発生器53、標準比較器54、カウンタ55、および広帯域選択器56よりなる。

【0008】 試験周期発生回路50は、試験を行なう周期を発生し、タイミング発生器51の内部の可変遅延回路によって所望の遅延時間を発生し、波形生成回路14とドライバ30を介して試験波形130となる。試験波形130は、アナログコンパレータ31を介してコントローラ52において被試験素子32からの応答結果を、検証する。

【0009】 タイミング発生器51内部の可変遅延回路の校正は、タイミング発生器51によってタイミングを制御した試験波形130と、基準タイミング発生器53からの基準タイミング信号153とを、標準比較器54において比較し、カウンタ55を用いてその比較結果を処理することによって行なわれる。試験波形130は、広帯域選択器56を介して標準比較器54に供給される。可変遅延回路の時間分解能の校正の基準となるのは、基準タイミング発生器53内部に用いられる高精度エアラインである。

## 【0010】

【発明が解決しようとする課題】 可変遅延回路を構成する半導体素子は、製造バラツキ、周囲温度、電源電圧等の影響を受けやすく、可変遅延回路の時間分解能の校正は、必須である。しかし、近年の半導体集積回路の多ピン化を考えた場合、前記従来技術に係る半導体試験装置によれば可変遅延回路の校正に要する時間の増加は避けられない。

【0011】 また、校正の時間基準に高精度エアラインなどを用いると、装置の大型化を招き、制御に時間がかかるため校正に要する時間の増大を招く。

【0012】 この傾向は、半導体試験装置を高速化することによって顕著となり、高速化を妨げる要因となる。

【0013】 そこで、本発明は、可変遅延回路を高い時間精度で、小規模の追加回路のみで、高速な校正を可能にすることにより、半導体試験装置を高速・高精度化、小形化することを目的とする。

## 【0014】

【課題を解決するための手段】 前記目的を達成するために、本発明は、出力信号の周期を高精度に制御可能な基準クロック発生器と、所定の繰り返し周期、および粗遅延時間を、入力する基準クロックより生成する粗タイミング信号生成回路と、タイミング信号の微細な遅延時間を指定する精遅延レジスタと、前記精遅延レジスタによって設定された時間データに従ってタイミング信号を微細に遅延制御する可変遅延回路と、複数の可変遅延回路の出力の位相を比較する位相比較器と校正データを格納するメモリを有することを特徴とするタイミング発生器を提供する。

## 【0015】

【作用】本発明に係る可変遅延回路の校正法によれば、時間基準は、基準クロックの周期である。基準クロックは、その周期が水晶発振器と同程度まで高精度に制御可能な周波数シンセサイザなどで構成可能なため、高い精度で校正を行なうことができる。

【0016】また、本発明に係る可変遅延回路の校正法に必要な位相比較器は、位相の遅れ・進みを判定するだけの単純な構成で良いので、小規模回路の追加で良く、可変遅延回路を搭載する半導体集積回路内部に設けることが容易となる。これにより、校正対象となる可変遅延回路の近傍で動作するため、配線による外乱の影響を受ける事なく校正を行なうことができる。

【0017】さらに前記位相比較器を可変遅延回路を搭載する半導体集積回路内部に設ける事により装置の小形化が可能となる。

【0018】

【実施例】実施例1

以下、本発明に係る可変遅延回路の校正法を示す実施例1を図1、図2を用いて説明する。図1に本実施例に係る校正法を適応した可変遅延回路の構成を示す。

【0019】図示するように、本実施例に係る校正法を適応した可変遅延回路は、基準クロック101を発生する基準クロック発生器1、タイミング信号の繰り返し周期を制御する周期カウンタ2、粗遅延レジスタ11、21、粗遅延カウンタ10、20、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、位相比較回路5、タイミング発生器を制御するコントローラ6および校正データを格納するメモリ7よりなる。図1に示した例は、校正の対象となる可変遅延回路12を含む校正対象タイミング発生器3と、校正時に補助的に動作するタイミング発生器4に分かれている。

【0020】まず、タイミング発生器3の内部動作を説明する。周期カウンタ2は、基準クロック101を計数し、基準クロック周期 $t_c$ の整数倍の周期の周期信号102を発生する。粗遅延カウンタ10は、周期信号102によって基準クロック101を計数開始し、粗遅延レジスタ11で指定する回数だけ計数した後、粗遅延信号110を出力し、精遅延回路12を通過した後タイミング信号112となり、出力される。精遅延回路12では、精遅延レジスタ13で指定される微小な時間だけ遅延時間を制御する。

【0021】タイミング発生器4の動作も同様に、粗遅延カウンタ20は、周期信号102によって基準クロック101を計数開始し、粗遅延レジスタ21で指定する回数だけ計数した後、粗遅延信号120を出力し、精遅延回路22を通過した後タイミング信号122となり、出力される。精遅延回路22では、精遅延レジスタ23で指定される微小な時間だけ遅延時間を制御する。

【0022】図2を用いて、可変遅延回路12において、遅延時間を $\Delta t$ とするための校正の例を説明する。

【0023】まず、校正対象タイミング発生器3の内部の粗遅延レジスタ11には、設定値 $N$ を書き込み、もう一方のタイミング発生器4には、 $N-1$ を書き込んでおく。図2の例では、周期 $t_{rate}=4 \times t_c$ 、 $N=3$ である。そして、位相比較器5の出力105を観測しつつ、タイミング信号112とタイミング信号122の位相が一致するように精遅延レジスタ23の設定データを増加する。図2(a)は、タイミング信号112とタイミング信号122の位相が一致した状態を示しており、可変遅延回路22は、 $t_d (= t_c)$ だけ遅延している。

【0024】次に、基準クロック周期を $\Delta t$ だけ減ずると、タイミング信号112は、タイミング信号122の位相に対し、 $\Delta t$ だけ遅れる。ここで再び位相比較器5の出力105を観測しつつ、タイミング信号112とタイミング信号122の位相が一致するように精遅延レジスタ22の設定値を増加する。図2(b)に、タイミング信号112とタイミング信号122の位相が一致した状態を示す。ここで遅延設定値113は、可変遅延回路12の遅延時間を $\Delta t$ だけ増加させるための設定値である。

【0025】また、図1において校正対象タイミング発生器3と、校正時に補助的に動作するタイミング発生器4は、全く同一の回路構成であるため、可変遅延回路12と、可変遅延回路22の役割を置き換えても同様の校正を行なうことができる。すなわち、可変遅延回路12を補助遅延回路として用い、可変遅延回路22を校正することができる。さらに、タイミング発生器が、3つ以上ある場合でも、位相比較器の入力に選択器を設けることにより同様の校正を行なうことができる。

【0026】実施例2

以下、本発明に係る可変遅延回路の校正法を示す実施例2を図3を用いて説明する。

【0027】図示するように、本実施例に係る校正法を適応した可変遅延回路は、基準クロック101を発生する基準クロック発生器1、タイミング信号の繰り返し周期を制御する周期カウンタ2、粗遅延レジスタ11、21、粗遅延制御用コンパレータ14、24、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、位相比較回路5、タイミング発生器を制御するコントローラ6および校正データを格納するメモリ7よりなる。

【0028】タイミング発生器3の内部動作は、実施例1とほぼ同様である。まず、周期カウンタ2は、基準クロック101を計数し、基準クロック周期 $t_c$ の整数倍の周期の周期信号102を発生する。粗遅延制御用コンパレータ14は、周期信号102と、粗遅延レジスタ11の出力する粗遅延データ111とを比較し、一致したタイミングで、粗遅延信号110を出力する。粗遅延制御用コンパレータ24も同様に、周期信号102と、粗

遅延レジスタ21の出力する粗遅延データ121とを比較し、一致したタイミングで、粗遅延信号120を出力する。校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、位相比較回路5、コントローラ6およびメモリ7の動作は、実施例1と同一である。

【0029】本実施例による校正の手順は、実施例1と同様であるため、説明を省略する。

【0030】実施例1および2で示した本発明による可変遅延回路の校正方式は、図4に示す構成で一括して示すことができる。図4の例を構成する要素は、基準クロック発生器1、周期カウンタ2、粗遅延制御回路15、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、位相比較回路5、コントローラ6、および校正データを格納するメモリ7である。動作原理および構成手順は、上記の説明と同一であるため省略するが、本発明による可変遅延回路の構成方式は、粗遅延制御回路において基準クロック1周期分の遅延時間差を発生する機能と、基準クロック1周期分の遅延時間を発生する可変遅延回路によって実現される。

#### 【0031】実施例3

以下、本発明に係る半導体試験装置内部の可変遅延回路の校正法を示す実施例3を図5、図6を用いて説明する。

【0032】図示するように、本実施例に係る校正法を適応した半導体試験装置は、基準クロック101を発生する基準クロック発生器1、タイミング信号の繰り返し周期を制御する周期カウンタ2、粗遅延レジスタ11、21、粗遅延制御用コンパレータ14、24、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、試験波形を生成するパターン発生器9、波形生成回路8、試験波形130を被試験素子32に供給するドライバ30、アナログコンパレータ31、タイミング発生器を制御するコントローラ6および校正データを格納するメモリ7よりなる。

【0033】タイミング信号112およびタイミング信号122を生成する、基準クロック発生器1、周期カウンタ2、粗遅延レジスタ11、21、粗遅延制御用コンパレータ14、24、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23の動作は、実施例2と同一であるため省略する。試験波形を生成する波形生成回路8は、パターン発生器9から出力された波形パターンデータ109に応じた波形を、タイミング信号112で決定されるタイミングで、発生する。ドライバ30は、波形生成回路8の出力信号を、試験波形130として出力する。試験波形130は、アナログコンパレータ31に印加され、タイミング信号122で指定するタイミングで比較信号131を出力する。

【0034】以下、図6を用いて本実施例によって可変遅延回路12の分解能を $\Delta t$ とするための校正方法を説

明する。

【0035】まず、タイミング信号112のタイミングでドライバ30から正パルスが発生する様にパターン発生器9を設定しておく。そして、校正対象タイミング発生器3の内部の粗遅延レジスタ11には、設定値Nを書き込み、もう一方のタイミング発生器4には、N-1を書き込んでおく。図6の例では、周期 $t_{rate}=4 \times t_c$ 、 $N=3$ である。そして、アナログコンパレータ31の出力131を観測しつつ、精遅延レジスタ23の設定データ123を増加し、アナログコンパレータ31の出力レベルが、0から1に変化する時点の設定データ113を保持する。このとき、試験波形130とタイミング信号122の位相は、一致した状態となる。図6(a)は、初期状態を示し同図(b)は、試験波形130とタイミング信号122の位相が、一致した状態を示している。

【0036】次に、基準クロック周期を $\Delta t$ だけ減ずると、タイミング信号112は、タイミング信号122の位相に対し、 $\Delta t$ だけ遅れる。すると試験波形130もタイミング信号122の位相に対し、 $\Delta t$ だけ遅れるためアナログコンパレータ31の出力131は、0となる。ここで再び、試験波形130とタイミング信号122の位相が一致するように、精遅延レジスタ22の設定値を増加する。そして、アナログコンパレータ31の出力レベルが、0から1に変化する時点の設定データ113を保持する。ここで、遅延設定値113は、可変遅延回路12の遅延時間を $\Delta t$ だけ増加させるための設定値となる。

#### 【0037】実施例4

以下、本発明に係る可変遅延回路の校正法を示す実施例4を図7、図8を用いて説明する。

【0038】図示するように、本実施例に係る校正法を適応した可変遅延回路は、基準クロック101を発生する基準クロック発生器1、タイミング信号の繰り返し周期を制御する周期カウンタ2、粗遅延レジスタ11、21、粗遅延制御用コンパレータ14、24、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、および位相比較回路5、アップダウンカウンタ40、データ選択器41、タイミング発生器を制御するコントローラ6および校正データを格納するメモリ7よりなる。図7に示した例は、校正の対象となる可変遅延回路12を含む校正対象のタイミング発生器3と、校正時に補助的に動作するタイミング発生器4に分かれている。

【0039】タイミング信号112およびタイミング信号122を生成する、基準クロック発生器1、周期カウンタ2、粗遅延レジスタ11、21、粗遅延制御用コンパレータ14、24、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23の動作は、実施例2と同一であるため省略する。

7

【0040】図8を用いて、可変遅延回路12において、分解能を $\Delta t$ とするための校正の例を説明する。アップダウンカウンタ40は、位相比較器5が、遅れと判定したときには、アップカウントし、進みと判定したときには、ダウンカウントする。

【0041】まず、校正対象タイミング発生器3の内部の粗遅延レジスタ11には、設定値Nを書き込み、もう一方のタイミング発生器4には、N-1を書き込んでおき、データ選択器41は、aを選択しておく。アップダウンカウンタ40は、リセットする。図8の例では、周期 $t_{rate} = 4 \times t_c$ 、N=3である。そして、位相比較器5の出力105を観測しつつ、タイミング信号112とタイミング信号122の位相が一致するように精遅延レジスタ23の設定データを増加する。図8(a)は、タイミング信号112とタイミング信号122の位相が一致した状態を示しており、可変遅延回路22は、 $t_d (= t_c)$ だけ遅延している。

【0042】次に、データ選択器41でb側を選択するようにきりかえ、基準クロック周期 $t_c$ を $\Delta t$ だけ減ずる。するとタイミング信号112は、タイミング信号122の位相に対し、 $\Delta t$ だけ遅れるため、位相比較器5は、遅れと判定し、アップダウンカウンタ40は、アップカウントを開始する。アップダウンカウンタ40の出力は、データ選択器41を介して可変遅延回路12に接続され、可変遅延回路12は、遅延時間を増加し続ける。そして、タイミング信号112とタイミング信号122の位相が等しくなると位相比較器5は、同位相と判定し、アップダウンカウンタ40の動作を停止する。この時点で、アップダウンカウンタ40に保持されているデータは、可変遅延回路12の遅延時間を $\Delta t$ だけ増加させるための設定値である。アップダウンカウンタ40のデータをメモリ7に格納する。

【0043】図8(b)は、可変遅延回路12の遅延時間を $\Delta t$ だけ増加するための設定値が、“4”であった場合の例である。

【0044】図9は、図7における位相比較器5の周辺を詳細に示した補足図である。位相比較器5は、タイミング信号122を基準としたタイミング信号112の位相比較結果を出力する。位相比較結果が、進みであった場合カウンタ42がカウントアップし、遅れであった場合には、カウンタ43が、カウントアップする。比較器45は、カウンタ42とカウンタ43の計数結果を比較することにより位相比較器5が、進みと遅れのどちらを多く出力したか、を判定する。この判定結果に基づき、アップダウンカウンタ40が設定データを増減する。このようにして、タイミング信号112とタイミング信号122の位相が近づいてくると、位相比較器は、さらに外乱の影響を受けやすくなり、カウンタ42とカウンタ43の計数値も近づいてくる。この位相が近づいた状態をカウンタ44で計数し、所定の値以上になったとこ

8

ろで、位相比較結果は、雑音レベル以下であると判断し、校正終了信号144を出力する。外乱によって位相比較器が判定誤動作をする可能性がある使用環境では、以上のような構成によって雑音余裕のある動作が可能となる。さらにカウンタの設定値を制御することにより、装置を使用する雑音環境に応じた雑音対策を行なうことが可能である。

【0045】また、図7において可変遅延回路22の設定データ123にもデータ選択器41と同様のデータ選択器を設ければ、校正対象タイミング発生器3と、校正時に補助的に動作するタイミング発生器4は、全く同一の回路校正であるため、可変遅延回路12と、可変遅延回路22の役割を置き換えても同様の校正を行なうことができる。すなわち、可変遅延回路12を補助遅延回路として用い、可変遅延回路22を校正することができる。さらに、タイミング発生器が、3つ以上ある場合でも、位相比較器5の入力に選択器を設けることにより同様の校正を行なうことができる。

#### 【0046】実施例5

以下、本発明に係る半導体試験装置である実施例5を図10を用いて説明する。

【0047】図示するように、本発明に係る半導体試験装置は、複数の入出力ピンを持つ被試験素子32に試験波形を供給する複数の試験波形生成ユニット33と基準クロック発生器1、およびコントローラ6からなる。

【0048】試験波形生成ユニット33は、試験の繰り返し周期を制御する周期カウンタ2、粗遅延レジスタ11、21、粗遅延制御用コンパレータ14、24、校正対象の可変遅延回路12、可変遅延回路22、精遅延レジスタ13、23、波形生成回路8、パターン発生器9、ドライバ30、アナログコンパレータ31、位相比較回路5、アップダウンカウンタ40、データ選択器41および校正データを格納するメモリ7よりなる。

【0049】各部の動作および校正の手順は、実施例4と同一である。本実施例において特徴的なのは、被試験素子32のピンに接続される複数の試験波形生成ユニット33は独立であるため、各試験波形生成ユニット33に搭載された可変遅延回路12の校正を全ユニット同時に行なうことが可能な点である。この特徴により校正に要する時間を短縮することができる。

【0050】また、本実施例において位相比較器5の代わりにアナログコンパレータ31の出力を用いて位相比較を行なっても同様の結果が得られる。さらに可変遅延回路12と可変遅延回路22の役割を交替しても同様である。本実施例は、位相比較器5の入力に信号選択器を設けることにより、試験波形生成ユニット33内部に3個以上の可変遅延回路が存在する場合まで拡張が可能である。

#### 【0051】

【発明の効果】以上の様に本発明によれば、タイミング

9

10

発生器に搭載し遅延時間を高分解能で可変する可変遅延回路の遅延時間分解能を、高精度な基準クロックの発振周期を基準として校正することにより半導体試験装置などの高精度化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る可変遅延回路の校正法の説明図である。

【図2】図1の動作を示すタイミングチャートである。

【図3】本発明の一実施例に係る可変遅延回路の校正法の説明図である。

【図4】本発明の一実施例に係る可変遅延回路の校正法の説明図である。

【図5】本発明の一実施例に係る半導体試験装置のブロック図である。

【図6】図5の動作を示すタイミングチャートである。

【図7】本発明の一実施例に係る可変遅延回路の校正法の説明図である。

【図8】図7の動作を示すタイミングチャートである。

【図9】本発明の一実施例に係る可変遅延回路の校正法の補足説明図である。

【図10】本発明の一実施例に係る半導体試験装置のブロック図である。

【図11】従来の半導体試験装置の構成図である。

【符号の説明】

1…基準クロック発生器、  
2…周期カウンタ、

3、51…校正対象タイミング発生器、

4…タイミング発生器、

5…位相比較器、

6、52…コントローラ、

8…波形生成回路、

9…パターン発生器、

10、20…粗遅延カウンタ、

11、21…粗遅延レジスタ、

12、22…可変遅延回路、

10 13、23…精遅延レジスタ、

14、24…粗遅延制御用コンパレータ、

15…粗遅延制御回路、

30…ドライバ、

31…アナログコンパレータ、

32…被試験素子、

33…試験波形生成ユニット、

40…アップダウンカウンタ、

41…データ選択器、

42、43、44…カウンタ、

20 45…比較器、

50…試験周期発生回路、

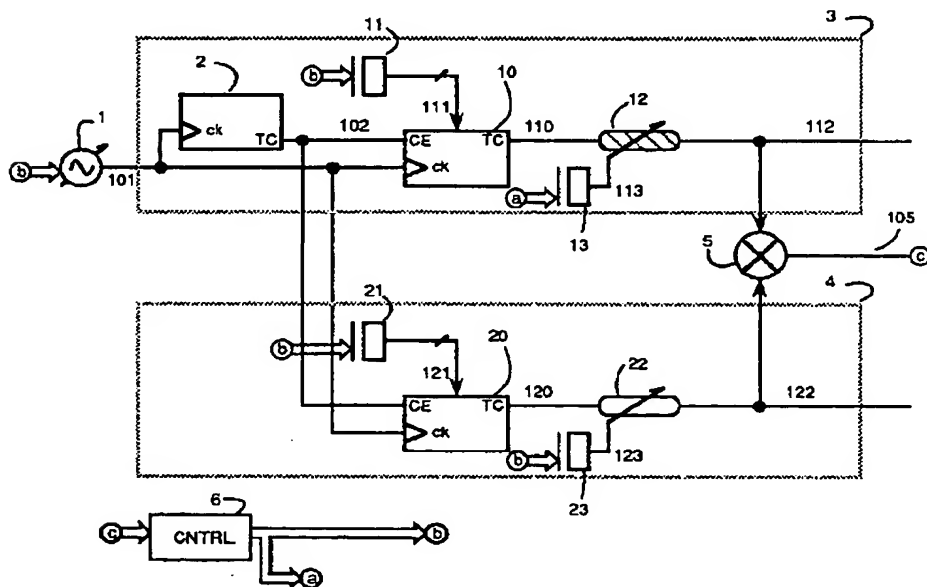
53…基準タイミング発生器、

54…標準比較器、

55…カウンタ、

56…広帯域選択器。

【図1】



1



【図2】

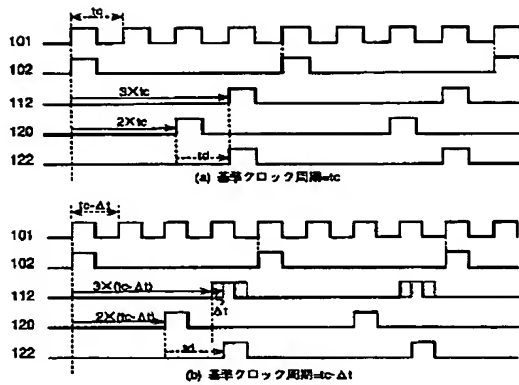


図 2

【図3】

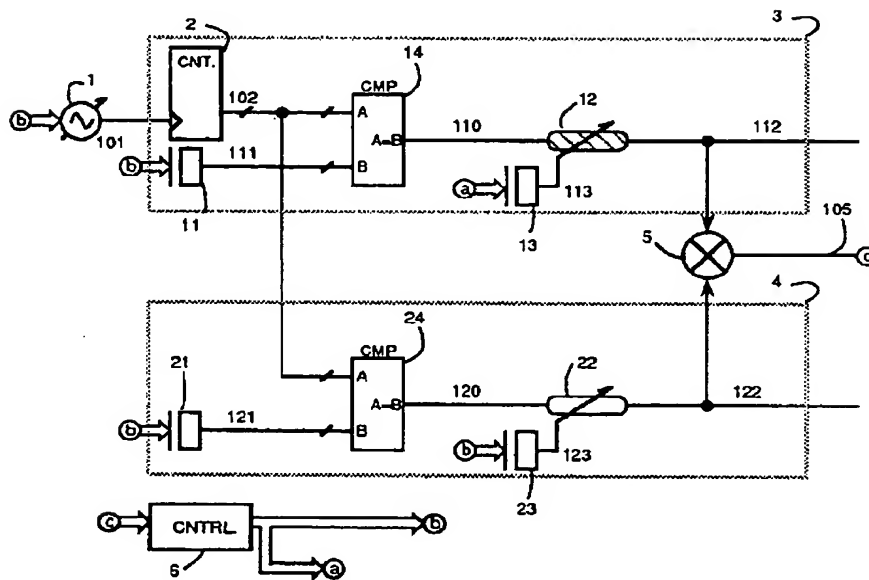


図 3

【図6】

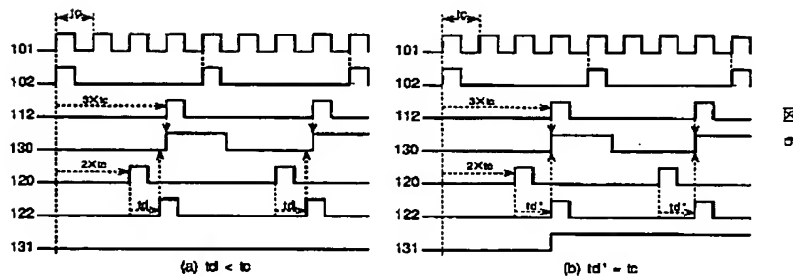
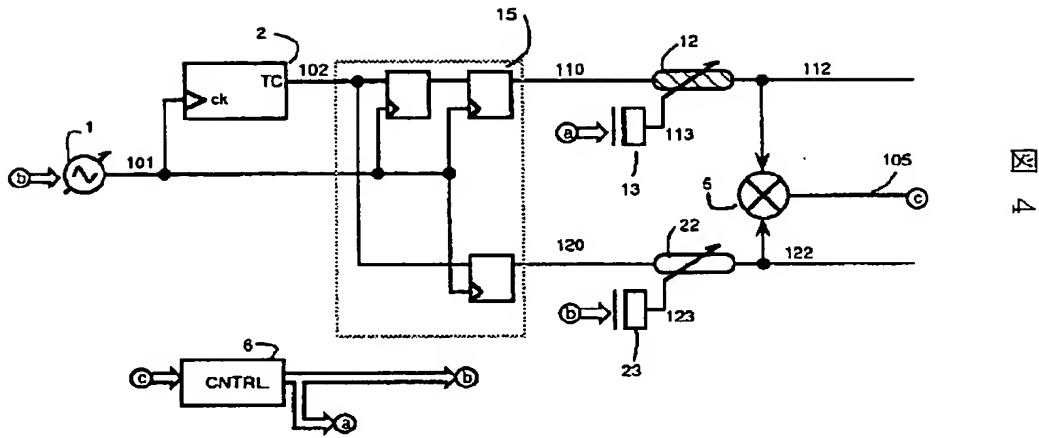
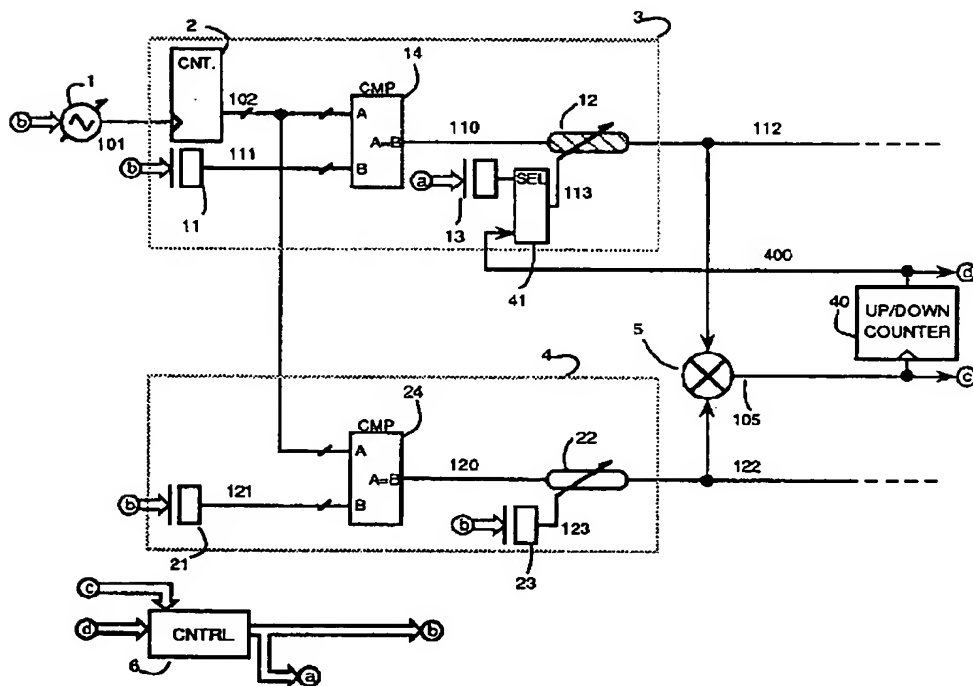


図 6

【図4】

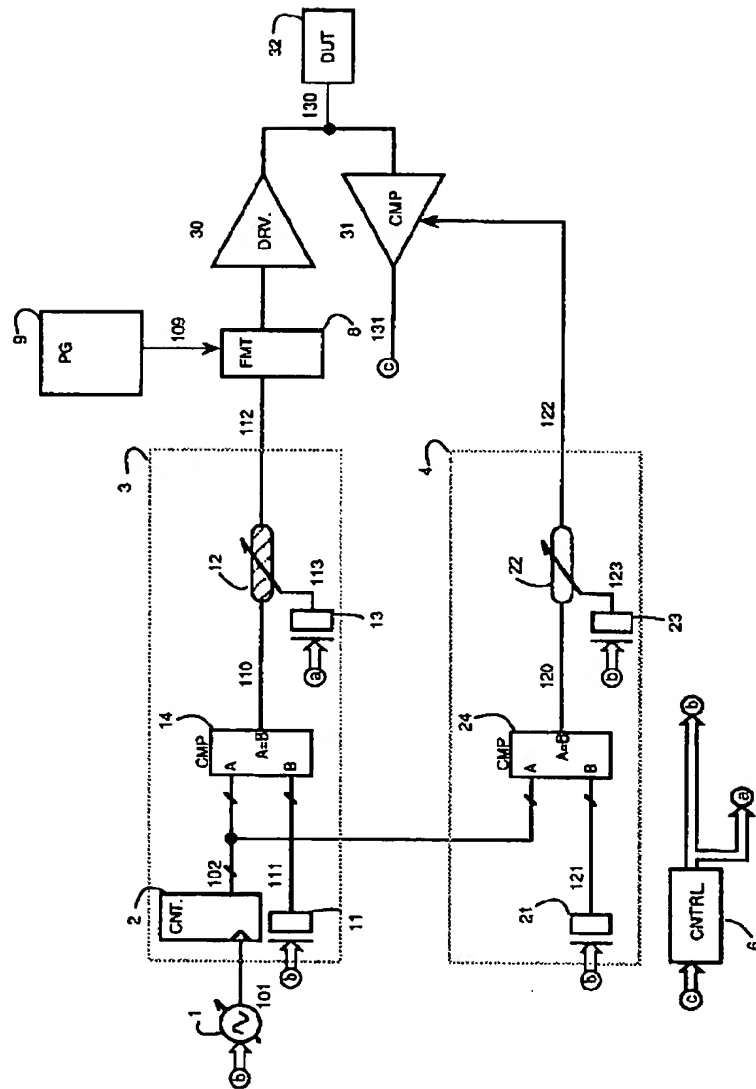

  
4

【図7】

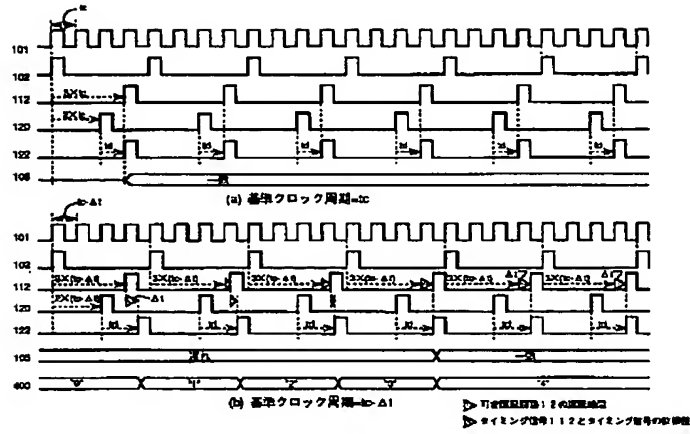

  
7

【図5】

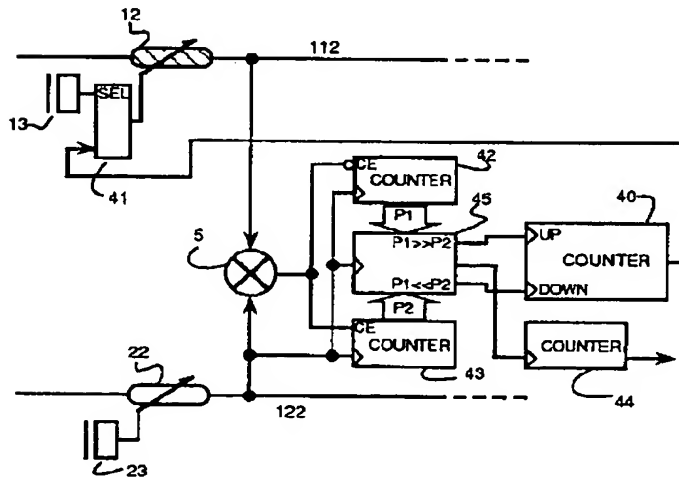
図 5



【図8】

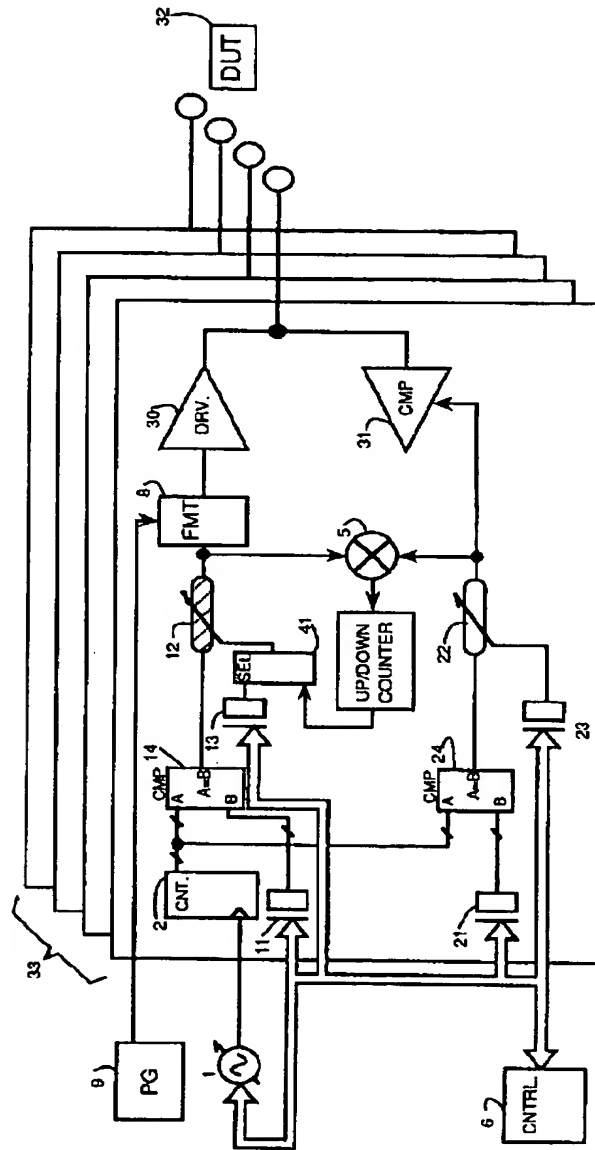


【図9】



【図10】

図 10



【図11】

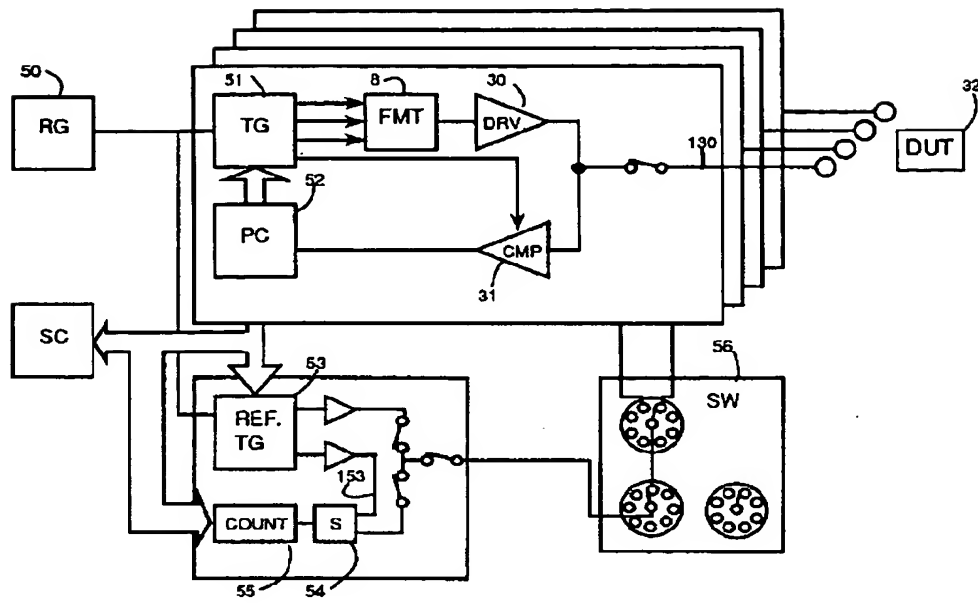


図  
11